

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 2 日
Date of Application:

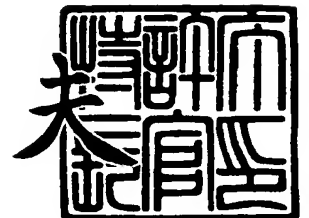
出 願 番 号 特 願 2 0 0 3 - 1 1 6 5 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 6 5 9 6]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0390026104

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/00

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内

【氏名】 吉澤 宏

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 米田 正人

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 検索装置および方法、記録媒体、並びにプログラム

【特許請求の範囲】

【請求項 1】 N個の他の検索装置と接続されて、検索システムを構成する検索装置において、

自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、

前記他の検索装置に対する初期信号の出力を制御する第 1 の出力制御手段と、

前記検索手段により前記検索データに対応する記憶部が検索されたか否かを表す検索結果信号の前記他の検索装置に対する出力を制御する第 2 の出力制御手段と、

前記他の検索装置に接続され、前記他の検索装置からの前記検索結果信号または初期信号を入力する N 個の第 1 の入力手段と、

基準信号を入力する第 2 の入力手段と、

前記初期信号と前記基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得手段と、

前記優先順位信号に基づいて、前記基準信号に対応する優先順位より高い優先順位の前記初期信号を入力した前記第 1 の入力手段を検出する検出手段と、

前記検出手段により検出された前記第 1 の入力手段により入力された前記検索結果信号の内容に応じて、前記検索手段により検索された前記記憶部から、所定の記憶部を検出し、前記検索システム全体の検索結果として出力する出力手段と、

前記第 1 の入力手段により入力された前記検索結果信号に基づいて、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったことを判定し、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行手段と

を備えることを特徴とする検索装置。

【請求項 2】 自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、

前記他の検索装置に対する初期信号の出力を制御する第1の出力制御手段と、
前記検索手段により前記検索データに対応する記憶部が検索されたか否かを表す検索結果信号の前記他の検索装置に対する出力を制御する第2の出力制御手段と、

前記他の検索装置に接続され、前記他の検索装置からの前記検索結果信号または初期信号を入力するN個の第1の入力手段と、

基準信号を入力する第2の入力手段と

を備え、N個の他の検索装置と接続されて、検索システムを構成する検索装置の検索方法において、

前記初期信号と前記基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、

前記優先順位信号に基づいて、前記基準信号に対応する優先順位より高い優先順位の前記初期信号を入力した前記第1の入力手段を検出する検出ステップと、

前記検出ステップの処理で検出された前記第1の入力手段により入力された前記検索結果信号の内容に応じて、前記検索ステップの処理で検索された前記記憶部から、所定の記憶部を検出し、前記検索システム全体の検索結果として出力する出力ステップと、

前記第1の入力手段により入力された前記検索結果信号に基づいて、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったことを判定し、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップと

を含むことを特徴とする検索方法。

【請求項3】 自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、

前記他の検索装置に対する初期信号の出力を制御する第1の出力制御手段と、
前記検索手段により前記検索データに対応する記憶部が検索されたか否かを表す検索結果信号の前記他の検索装置に対する出力を制御する第2の出力制御手段と、

前記他の検索装置に接続され、前記他の検索装置からの前記検索結果信号また

は初期信号を入力するN個の第1の入力手段と、

基準信号を入力する第2の入力手段と

を備え、N個の他の検索装置と接続されて、検索システムを構成する検索装置のプログラムであって、

前記初期信号と前記基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、

前記優先順位信号に基づいて、前記基準信号に対応する優先順位より高い優先順位の前記初期信号を入力した前記第1の入力手段を検出する検出ステップと、

前記検出ステップの処理で検出された前記第1の入力手段により入力された前記検索結果信号の内容に応じて、前記検索ステップの処理で検索された前記記憶部から、所定の記憶部を検出し、前記検索システム全体の検索結果として出力する出力ステップと、

前記第1の入力手段により入力された前記検索結果信号に基づいて、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったことを判定し、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項4】 自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、

前記他の検索装置に対する初期信号の出力を制御する第1の出力制御手段と、

前記検索手段により前記検索データに対応する記憶部が検索されたか否かを表す検索結果信号の前記他の検索装置に対する出力を制御する第2の出力制御手段と、

前記他の検索装置に接続され、前記他の検索装置からの前記検索結果信号または初期信号を入力するN個の第1の入力手段と、

基準信号を入力する第2の入力手段と

を備え、N個の他の検索装置と接続されて、検索システムを構成する検索装置のプログラムであって、

前記初期信号と前記基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、

前記優先順位信号に基づいて、前記基準信号に対応する優先順位より高い優先順位の前記初期信号を入力した前記第1の入力手段を検出する検出ステップと、

前記検出ステップの処理で検出された前記第1の入力手段により入力された前記検索結果信号の内容に応じて、前記検索ステップの処理で検索された前記記憶部から、所定の記憶部を検出し、前記検索システム全体の検索結果として出力する出力ステップと、

前記第1の入力手段により入力された前記検索結果信号に基づいて、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったことを判定し、前記他の検索装置のすべてにおいて前記検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップと

を含む処理をコンピュータに実行させることを特徴とするプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、検索装置および方法、記録媒体、並びにプログラムに関し、複数の連想メモリを適切に利用することができるようにした検索装置および方法、記録媒体、並びにプログラムに関する。

【0002】

【従来の技術】

図1は、連想メモリ (Associative Memory, 内容アドレス式メモリ; Content Addressable Memory (CAM)) の構成例を示している。

【0003】

入力制御部11は、外部から入力された、例えば、検索のためのデータ (検索データ) をラッチして、マスクレジスタ12に供給する。

【0004】

マスクレジスタ12は、入力制御部11から入力されたマスクデータ選択信号

により、検索に関与させないデータ部分にマスクをかけるために、自分自身が記憶するマスクデータをCAMブロック13に供給する。

【0005】

CAMブロック13には、図2に示すように、mビットの複数のワードメモリ21-1, 21-2, ... (以下、個々に区別する必要がない場合、ワードメモリ21と称する。他の場合も同様である) が設けられている。このワードメモリ21には、例えば、検索されるデータ(格納データ)、およびその格納データを検索の対象とするまたは対象としない旨を表す論理値(以下、エンプティビットと称する)を格納することができる(エントリすることができる)。

【0006】

なお、格納データを検索の対象としない旨を表すエンプティビットが設定されると、ワードメモリ21は、CAM1に新たなデータを格納する際、格納可能なワードメモリ21として取り扱われるので、そのエンプティビットを設定することは、格納データを削除する(ワードメモリ21を空き状態にする)ことを意味する。

【0007】

またこの例の場合、格納データを検索の対象とする(ワードメモリ21は空き状態ではない)旨を表すエンプティビットは、論理値0であり、格納データを検索の対象としない(ワードメモリ21は空き状態である)旨を表すエンプティビットは、論理値1である。

【0008】

図1に戻り、CAMブロック13と出力制御部16の間には、CAMブロック13のワードメモリ21のそれぞれに対応する複数の信号線14(図中、簡単のために1本の線で示されている)が設けられている。制御部17より、空き状態のワードメモリ21の検索(以下、エンプティアドレス検索と称する)の指令を受けると、CAMブロック13は、エンプティビットが「ワードメモリ21は空き状態ではない」旨を示す論理値0のワードメモリ21の信号線14から、その旨を示す論理値(論理値1)を、出力制御部16に出力する。また、CAMブロック13は、エンプティビットが「ワードメモリ21は空き状態である」旨を示

す論理値 1 のワードメモリ 21 の信号線 14 から、その旨を示す論理値（論理値 0）を、出力制御部 16 に出力する。

【0009】

CAMブロック 13 と出力制御部 16 の間には、ワードメモリ 21 のそれぞれに対応する複数の信号線 15（図中、簡単のために 1 本の線で示されている）がさらに設けられている。

【0010】

制御部 17 より、検索データに基づくワードメモリ 21 の検索（以下、ヒットアドレス検索と称する）の指令を受けると、CAMブロック 13 は、エンプティビットが「ワードメモリ 21 は空き状態ではない」旨を示す論理値 0 であって、検索データの、マスクレジスタ 12 によりマスクがかけられていない部分と一致するビットパターンを有する格納データが格納されているワードメモリ 21 の信号線 15 から、ヒットした旨を表す論理値（例えば、論理値 0）を、出力制御部 16 に出力する。また CAMブロック 13 は、エンプティビットが「ワードメモリ 21 は空き状態ではない」旨を示す論理値 0 であるが、検索データの、マスクレジスタ 12 によりマスクがかけられていない部分と一致するビットパターンを有する格納データが格納されていないワードメモリ 21 またはエンプティビットが「ワードメモリ 21 は空き状態である」旨を示す論理値 1 のワードメモリ 21 の信号線 15 から、ヒットしない（ミスヒットした）旨を表す論理値（例えば、論理値 1）を、出力制御部 16 に出力する。

【0011】

CAMブロック 13 は、ヒットアドレス検索の際、その検索の結果（ヒットしたまたはミスヒットした旨）を、制御部 17 に適宜通知する。

【0012】

出力制御部 16 は、制御部 17 から、エンプティアドレス検索の指令を受けると、「ワードメモリ 21 は空き状態である」旨を示す論理値を出力してきた信号線 14 に対応するワードメモリ 21 のアドレスの中から、優先度の最も高い（例えば、最も小さい）アドレスを検出し、アドレス HEA (Highest Empty Address) として出力する。

【0013】

出力制御部16はまた、制御部17から、ヒットアドレス検索の指令を受けると、ヒットした旨を表す論理値を出力してきた信号線15に対応するワードメモリ21のアドレスの中から、優先度の最も高い（この例の場合、最も小さい）アドレスを検出し、アドレスHHA（Highest Hit Address）として出力する。

【0014】

制御部17は、外部からの制御信号に従って各部を制御する。例えば、制御部17は、CAMブロック13および出力制御部16を制御して、エンプティアドレス検索、または入力制御部11により入力された検索データに基づくヒットアドレス検索を行わせる。制御部17は、CAMブロック13から入力されたヒットアドレス検索の結果を、適宜外部に出力する。

【0015】

制御部17は、CAMブロック13を制御して、エンプティアドレス検索またはヒットアドレス検索により得られたアドレスHEAまたはアドレスHHAのワードメモリ21に、入力制御部11により入力されたデータを格納させることができる。このとき制御部17は、マスクレジスタ12のマスクデータを利用して、ワードメモリ21の所定部分に入力データを格納することができる（すなわちワードメモリ21の所定部分を変更することができる）。

【0016】

なお制御部17は、通常のRAMのように、CAMブロック13および出力制御部16を制御して、入力制御部11により入力されたアドレスに対応するワードメモリ21から、格納データを読み出させたり、入力制御部11によりさらに入力されたデータを、そのアドレスのワードメモリ21に書き込ませることもできる。

【0017】

図3は、上述したCAM1を利用したネットワークフレーム中継器31の構成例を示している（特許文献参照）。この中継器31には、2個のネットワーク32-1、32-2が接続されている。ネットワーク32-1には、3個の端末3

3-11乃至33-13が接続され、ネットワーク32-2には、3個の端末33-21乃至33-23が接続されている。中継器31は、端末33間のネットワークフレームの送受信を中継する、いわゆるハブである。

【0018】

中継器31のCPU41は、パケットメモリ42、CAM1、RAM43、およびポートコントローラ45-1、45-2と、バス46を介して接続され、各部を制御する。

【0019】

パケットメモリ42は、送信されてきたネットワークフレームのパケットを一時的に蓄積する。

【0020】

CAM1（CAMブロック13）のワードメモリ21には、この場合、図4に示すように、端末33-11乃至33-13および端末33-21乃至33-23のネットワーク上のアドレスとタイムスタンプが格納されている。

【0021】

中継器31は、図5に示すように、p個のタイムスロットの番号を所定時間間隔で順に切り換えることで時間を管理するが、タイムスタンプとは、そのタイムスロットの番号1, 2, ..., pである。なお、このタイムスタンプの利用方法については後述する。

【0022】

図3に戻り、RAM43には、各端末33がどのポート47を経由した先に接続されているかを示すポート番号が格納されている。なお、RAM43には、その詳細な説明は省略するが、VLAN（Virtual LAN；仮想LAN）に関するデータや、中継器31のハードウェアが参照するデータなどが格納されている。

【0023】

CAM1の各ワードメモリ21のアドレスとRAM43の各メモリ領域のアドレスは信号線44で互いに対応づけられている。

【0024】

CAM1は、検索機能が付加されたものであるため、通常のRAMと比べビット単価が高く、メモリ容量が比較的小さいので、この例のように、CAM1とRAM43を併用することができる。

【0025】

2個のポートコントローラ45-1, 45-2は、ポート47-1, 47-2を介してネットワーク32-1, 32-2に接続されており、CPU41から供給されたデータを、ネットワーク32を介して所定の端末33に送信したり、端末33から送信されてきたデータを受信して、CPU41に供給する。

【0026】

次に、図6のフローチャートを参照して、中継器31の動作を説明する。

【0027】

ステップS1において、CPU41は、CAM1を制御して、エンプティアドレス検索とともに、空き状態のワードメモリ21を確保する処理を開始させる。

【0028】

これによりCAM1は、空き状態のワードメモリ21（エンプティビットが「ワードメモリ21は空き状態である」旨を示すワードメモリ21）を検索するとともに、検索したワードメモリ21のアドレスのうち、優先度が最も高いアドレス（最も小さいアドレス）を検出し、アドレスHEAとして出力する処理（エンプティアドレス検索）を開始する。CAM1はまた、CPU41から適宜供給される、現時点のタイムスロットより前のタイムスロットの番号（タイムスタンプ）が格納されているワードメモリ21を検索するとともに、検索したワードメモリ21のエンプティビットを「ワードメモリ21は空き状態である」旨を表す論理値に変更する処理（所定のワードメモリ21の格納データを削除して、空き状態のワードメモリ21を確保する処理）を開始する。

【0029】

次に、ステップS2において、CPU41は、ポートコントローラ45よりバス46を介してネットワークフレームが入力されるまで待機し、それが入力されたとき、ステップS3に進む。

【0030】

ステップS3において、CPU41は、入力されたネットワークフレームを、一旦パケットメモリ42に蓄積させるとともに、蓄積したネットワークフレームのヘッダの部分からデータの転送先（送信先）を示すディスティネーションアドレスDAを抽出する。そしてCPU41は、CAM1を制御して、そのディスティネーションアドレスDAを検索データとするヒットアドレス検索を行わせる。

【0031】

なお、ネットワークフレームのヘッダ部分には、ディスティネーションアドレスDA、および送信元を示すソースアドレスSAなどが記憶されている。

【0032】

CAM1は、CPU41から供給された検索データ（いまの場合、アドレスDA）によるヒットアドレス検索を行う。CAM1は、そのヒットアドレス検索でアドレスHHAを検出できた場合、ヒットした旨を、CPU1に通知するとともに、アドレスHHAを、信号線44を介してRAM43に出力する。なお、送信先となる端末33のアドレスは、CAM1（CAMブロック13）のワードメモリ21に格納されているものとする。

【0033】

CPU41は、RAM43から、CAM1により検出されたアドレスHHAに対応するメモリ領域に記憶されているポート番号を読み出す。

【0034】

次に、ステップS4において、CPU41は、ステップS3で読み出したポート番号に対応するポート47およびネットワーク32を介して、ステップS2で入力されたネットワークフレームを送信先の端末33に送信する。

【0035】

ステップS5において、CPU41は、パケットメモリ42に蓄積されたネットワークフレームから、送信元を示すソースアドレスSAを抽出するとともに、CAM1を制御して、それを検索データとするヒットアドレス検索を行わせる。

【0036】

これによりCAM1は、CPU41からの検索データ（いまの場合、アドレスSA）に基づくヒットアドレス検索を行い、その結果を、CPU41に通知する

。

【0037】

ステップS6において、CPU41は、CAM1からの通知に基づいて、アドレスHHAが検出されたか否かを判定し、検出されたと判定した場合（送信元のアドレスSAがワードメモリ21に格納されていた場合）、ステップS7に進む。

。

【0038】

ステップS7において、CPU41は、CAM1を制御して、タイムスタンプを更新させる。これによりCAM1は、アドレスHHAに対応するワードメモリ21のタイムスタンプを、CPU41から供給される現時点のタイムスタンプに書き換える。このように送信元の端末33（中継器31を利用した端末33）のタイムスタンプが最新のものに書き換えられると、ステップS1の処理で、その端末33のネットワーク上のアドレスは削除されない。従ってステップS1の処理では、中継器31を最近利用しない端末33のアドレスが削除されて、空き状態のワードメモリ21が確保される。

【0039】

ステップS6で、アドレスHHAが検出されなかったと判定された場合、ステップS8に進み、CPU41は、CAM1を制御して、送信元のソースアドレスSAと現時点のタイムスタンプを格納させる。

【0040】

これによりCAM1は、ステップS1の処理で検出されたアドレスHEAのワードメモリ21（空き状態のワードメモリ21）に、CPU41から供給されたソースアドレスSAと現時点のタイムスタンプを格納する。CPU41はこのとき、RAM43のアドレスHEAに対応するメモリ領域に、入力されたネットワークフレームのポート番号を記憶させる。

【0041】

ステップS7またはステップS8の処理がなされると、ステップS2に戻り、それ以降の処理が繰り返し行われる。

【0042】

ところで、図3の例では、格納する格納データが、6個の端末33のネットワークアドレスとタイムスタンプであり、比較的少ないものであったが、中継する端末33の数が増え、格納データのデータ量が大きくなると（エントリの数が増え）、1個のCAM1で管理することができなくなる。この場合、例えば、図7に示すように、複数のCAM1（図7の例の場合、4個のCAM1-1乃至1-4）がカスケード接続（詳細は後述する）されて利用される。なお、ここでは、CAM1-1乃至1-4全体を、適宜、接続CAM2と称する。

【0043】

接続CAM2を構成するCAM1-1乃至1-4の各ワードメモリ21のアドレスは、図8に示すように、CAM1-1からCAM1-4の順番で設定されている。すなわちCAM1単位でみれば、CAM1-1は、優先度が最も高いアドレスを有しており、CAM1-2は、CAM1-1に次ぐ優先度の、CAM1-3は、CAM1-2に次ぐ優先度の、そしてCAM1-4は、優先度が最も低いアドレスを有している。

【0044】

この場合も、エンプティアドレス検索またはヒットアドレス検索により接続CAM2全体として、1つのアドレスHHAまたはアドレスHEAが出力されるが、その検出については、CAM1は、結局、CAM1-1、CAM1-2、CAM1-3、そしてCAM1-4の順番の優先度（優先順位）を有していることになる。

【0045】

ここで接続CAM2の主な動作を説明する。接続CAM2がエンプティアドレス検索（図6のステップS1）を行う場合、各CAM1は、エンプティアドレス検索を行うとともに、その検索結果を、図7の信号線61に示すように、自分自身より優先度が低いCAM1に送信する。すなわちCAM1-1の検索結果は、CAM1-2（信号線61-3）、CAM1-3（信号線61-2）、およびCAM1-4（信号線61-1）に送信される。CAM1-2の検索結果は、CAM1-3（信号線61-5）、およびCAM1-4（信号線61-4）に送信される。CAM1-3の検索結果は、CAM1-4（信号線61-6）に送信され

る。

【0046】

そして各CAM1は、自分自身よりも優先度が高いCAM1の検索結果に応じて、アドレスHEAを検出して出力する。

【0047】

具体的には、CAM1-1は、優先度が最も高いので、自分自身のCAMブロック13から空き状態のワードメモリ21を検索することができた場合、検索したそのワードメモリ21のアドレスからアドレスHEAを検出して出力する。すなわちこの場合、CAM1-1のアドレスHEAが、接続CAM2のアドレスHEAとして出力される。

【0048】

CAM1-2は、CAM1-1により空き状態のワードメモリ21が検索されれば、自分自身のCAMブロック13から空き状態のワードメモリ21が検索されても、アドレスHEAを出力しない。一方CAM1-1により空き状態のワードメモリ21が検索されなかったとき、CAM1-3は、自分自身が検索した空き状態のワードメモリ21のアドレスからアドレスHEAを検出して出力する。すなわちこの場合、CAM1-2のアドレスHEAが、接続CAM2のアドレスHEAとして出力される。

【0049】

CAM1-3は、CAM1-1, 1-2のいずれかにより空き状態のワードメモリ21が検索されれば、自分自身のCAMブロック13から空き状態のワードメモリ21が検索されても、アドレスHEAを出力しない。一方CAM1-1, 1-2のいずれによっても空き状態のワードメモリ21が検索されなかったとき、CAM1-3は、自分自身が検索した空き状態のワードメモリ21のアドレスからアドレスHEAを検出して出力する。すなわちこの場合、CAM1-3のアドレスHEAが、接続CAM2のアドレスHEAとして出力される。

【0050】

CAM1-4は、CAM1-1, 1-2, 1-3のいずれかにより空き状態のワードメモリ21が検索されれば、自分自身のCAMブロック13から空き状態

のワードメモリ 21 が検索されても、アドレス H E A を出力しない。一方 C A M 1-1, 1-2, 1-3 のいずれによっても空き状態のワードメモリ 21 が検索されなかったとき、C A M 1-4 は、自分自身が検索したワードメモリ 21 のアドレスからアドレス H E A を検出して出力する。すなわちこの場合、C A M 1-4 のアドレス H E A が、接続 C A M 2 のアドレス H E A として出力される。

【0051】

このようにして接続 C A M 2 全体のアドレス H E A が検出される。なお、このように検出されたアドレス H E A は、信号線 44 を介して、R A M 43 にも供給される。

【0052】

また、接続 C A M 2 がヒットアドレス検索（図 6 のステップ S 5）を行う場合、C A M 1 のそれぞれは、C P U 41 からの検索データ（ソースアドレス S A）に基づくヒットアドレス検索を行い、その検索結果を、図 7 に示す信号線 71 が示すように、自分自身より優先度の高い C A M 1、および優先度の低い C A M 1 の両方に送信する（他の C A M 1 に送信する）。

【0053】

すなわち C A M 1-1 の検索結果は、C A M 1-2（信号線 71-3）、C A M 1-3（信号線 71-2）、および C A M 1-4（信号線 71-1）に送信される。C A M 1-2 の検索結果は、C A M 1-1（信号線 71-3）、C A M 1-3（信号線 71-5）、および C A M 1-4（信号線 71-4）に送信される。C A M 1-3 の検索結果は、C A M 1-1（信号線 71-2）、C A M 1-2（信号線 71-5）、および C A M 1-4（信号線 71-6）に送信される。そして C A M 1-4 の検索結果は、C A M 1-1（信号線 71-1）、C A M 1-2（信号線 71-4）、および C A M 1-3（信号線 71-6）に送信される。

【0054】

そして各 C A M 1 は、自分自身より優先度の高い C A M 1 の検索結果に応じて、アドレス H H A を検出して出力する。

【0055】

具体的には、C A M 1-1 は、自分自身の検索の結果、ヒットした場合、C A

M1-2乃至CAM1-4での検索結果にかかわらず（それらにおいてヒットがあっても）、検索したワードメモリ21のアドレスからアドレスHHAを検出して出力する。

【0056】

CAM1-2は、CAM1-1がヒットすれば、自分自身がヒットしても、アドレスHHAを出力しない。一方、CAM1-1がミスヒットしたとき、CAM1-2は、自分自身が検索したワードメモリ21のアドレスからアドレスHHAを検出し出力する。

【0057】

CAM1-3は、CAM1-1, 1-2のいずれかがヒットすれば、自分自身がヒットしても、アドレスHHAを出力しない。一方CAM1-1, 1-2のいずれもがミスヒットしたとき、CAM1-3は、自分自身が検索したワードメモリ21のアドレスからアドレスHHAを検出し出力する。

【0058】

CAM1-4は、CAM1-1, 1-2, 1-3のいずれかがヒットすれば、自分自身がヒットしても、アドレスHHAを出力しない。一方CAM1-1, 1-2, 1-3のいずれもがミスヒットしたとき、CAM1-4は、自分自身が検索したワードメモリ21のアドレスからアドレスHHAを検出し出力する。

【0059】

このようにして接続CAM2全体のアドレスHHAが検出される。なお、このように検出されたアドレスHHAは、信号線44を介して、RAM43にも供給される。

【0060】

また、接続CAM2は、全体として1つのアドレスHHAが検出され、そのアドレスHHAに対応するワードメモリ21のタイムスタンプを更新する場合（図6のステップS7）、上述したようにアドレスHHAを検出したCAM1が、そのアドレスHHAに対応するワードメモリ21のタイムスタンプを更新する。

【0061】

また、接続CAM2は、全体としてアドレスHHAが検出されず、アドレスH

EAに、ソースアドレスSAと現時点のタイムスタンプを格納する場合（ステップS8）、上述したようにアドレスHEAを検出したCAM1が、そのアドレスHEAのワードメモリ21に、ソースアドレスSA等を格納する。

【0062】

このようにして、ヒットアドレス検索（ステップS5）、およびその検索結果に基づくタイムスタンプの更新（ステップS7）またはソースアドレスSA等の格納が行われる（ステップS8）。なお、以下において、この3つの処理をまとめて、適宜、オートストア処理と称する。

【0063】

【特許文献】

特開平10-255485号公報

【0064】

【発明が解決しようとする課題】

しかしながら、図7に示したCAM1と信号線71は、図9に示すように複雑に接続されている。

【0065】

この接続のために、各CAM1には、1個の出力端子81、3個の入力端子82A乃至82C、および3個の入力端子83A乃至83Cが設けられている。出力端子81からは、ヒットアドレス検索の結果が出力され、入力端子82には、自分自身より優先度が高いCAM1でのヒットアドレス検索結果が入力され、入力端子83には、自分自身より優先度が低いCAM1でのヒットアドレス検索結果が入力される。

【0066】

個々のCAM1について説明する。CAM1-1の出力端子81-1は、CAM1-2, 1-3, 1-4の入力端子82-2C, 82-3C, 82-4Cに接続され、CAM1-1でのヒットアドレス検索の結果（論理値1または0）をそれらに出力する。CAM1-1より優先度が高いCAM1が存在しないので、CAM1-1の入力部端子82-1A乃至82-1Cは、その入力を見捨てるためにプルアップされている。入力端子83-1A, 83-1B, 83-1Cは、C

AM1-2, 1-3, 1-4 の出力端子 81-2, 81-3, 81-4 に接続され、そこでの検索結果を入力する。

【0067】

CAM1-2 の出力端子 81-2 は、CAM1-1, 1-3, 1-4 の入力端子 83-1A, 82-3B, 82-4B と接続され、CAM1-2 でのヒットアドレス検索の結果（論理値 1 または 0）をそれらに出力する。入力端子 82-2C は、CAM1-1 の出力端子 81-1 に接続され、そこでの検索結果を入力する。CAM1-2 より優先度が高い CAM1 は、CAM1-1 だけなので、余った入力端子 82-2A, 82-2B は、その入力を見捨てるためにプルアップされている。入力端子 83-2B, 83-2C は、CAM1-3, 1-4 の出力端子 81-3, 81-4 に接続され、そこでの検索結果を入力する。CAM1-2 より優先度が低い CAM1 は、CAM1-3, 1-4 だけなので、余った入力端子 83-2A はその入力を見捨てるためにプルアップされている。

【0068】

CAM1-3 の出力端子 81-3 は、CAM1-1, 1-2, 1-4 の入力端子 83-1B, 83-2B, 82-4A と接続され、CAM1-3 での検索結果をそれらに出力する。入力端子 82-3B, 82-3C は、CAM1-2, 1-1 の出力端子 81-2, 81-1 に接続され、そこでの検索結果を入力する。CAM1-3 より優先度が高い CAM1 は、CAM1-1, 1-2 だけなので、余った入力端子 82-3A は、その入力を見捨てるためにプルアップされている。入力端子 83-3C は、CAM1-4 の出力端子 81-4 に接続され、そこでの検索結果を入力する。CAM1-3 より優先度が低い CAM1 は、CAM1-4 だけなので、余った入力端子 83-3A, 83-3B は、その入力を見捨てるためにプルアップされている。

【0069】

CAM1-4 の出力端子 81-4 は、CAM1-1, 1-2, 1-3 の入力端子 83-1C, 83-2C, 83-3C と接続され、CAM1-4 での検索結果をそれらに出力する。入力端子 82-4A, 82-4B, 82-4C は、CAM1-3, 1-2, 1-1 の出力端子 81-3, 81-2, 81-1 に接続され、

そこでの検索結果を入力する。CAM1-4より優先度が低いCAM1は存在しないので、入力端子83-4A乃至83-4Cは、その入力を見捨てるためにプルアップされている。

【0070】

CAM1は、入力端子82A、82B、82Cのすべてに論理値1の信号が入力されたとき（自分自身より優先度が高いCAM1がミスヒットしたとき）、自分自身が検索したワードメモリ21のアドレスからアドレスHHAを検出し、そのアドレスHHAのワードメモリ21のタイムスタンプを更新する。

【0071】

またCAM1は、接続CAM2全体としてミスヒットしたとき（各CAM1の入力端子82、83のすべてに論理値1の信号が入力されたとき）、検出したアドレスHEAのワードメモリ21に、アドレスSA等の格納を行う。

【0072】

なお、各CAM1の出力端子81の出力は、および入力端子82、83の入力は、図10に示すように、制御部17により制御されている。

【0073】

このように、従来では、自分自身より優先度が高いCAM1、および自分自身より優先度が低いCAM1からの検索結果を入力する入力端子82および入力端子83がそれぞれ別個に設けられているので（接続CAM2を構成するCAM1の数より1つ少ない数（図9の例では、3（=4-1））個分の入力端子82と83がそれぞれ設けられているので）、それらとCAM1の出力端子1との接続が複雑になり、接続CAM2の構成が煩雑になる課題があった。

【0074】

なお、オープンドレイン方式、各CAM1での検索結果を把握することも可能であるが、その処理を迅速に行うことができない。

【0075】

本発明はこのような状況に鑑みてなされたものであり、オートストア処理を行う接続CAM2の接続を簡単なものにするものである。

【0076】

【課題を解決するための手段】

本発明の検索装置は、自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、他の検索装置に対する初期信号の出力を制御する第1の出力制御手段と、検索手段により検索データに対応する記憶部が検索されたか否かを表す検索結果信号の他の検索装置に対する出力を制御する第2の出力制御手段と、他の検索装置に接続され、他の検索装置からの検索結果信号または初期信号を入力するN個の第1の入力手段と、基準信号を入力する第2の入力手段と、初期信号と基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得手段と、優先順位信号に基づいて、基準信号に対応する優先順位より高い優先順位の初期信号を入力した第1の入力手段を検出する検出手段と、検出手段により検出された第1の入力手段により入力された検索結果信号の内容に応じて、検索手段により検索された記憶部から、所定の記憶部を検出し、検索システム全体の検索結果として出力する出力手段と、第1の入力手段により入力された検索結果信号に基づいて、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったことを判定し、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行手段とを備えることを特徴とする。

【0077】

本発明の検索方法は、自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、他の検索装置に対する初期信号の出力を制御する第1の出力制御手段と、検索手段により検索データに対応する記憶部が検索されたか否かを表す検索結果信号の他の検索装置に対する出力を制御する第2の出力制御手段と、他の検索装置に接続され、他の検索装置からの検索結果信号または初期信号を入力するN個の第1の入力手段と、基準信号を入力する第2の入力手段とを備え、N個の他の検索装置と接続されて、検索システムを構成する検索装置の検索方法において、初期信号と基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、優先順位信号に基づいて、基準信号に対応する優先順位より高い優先順位の初期信号を入力した第1の入力手段を検出する検出ステップと、検出ステップの処理で検出された第1の入力手段により

入力された検索結果信号の内容に応じて、検索ステップの処理で検索された記憶部から、所定の記憶部を検出し、検索システム全体の検索結果として出力する出力ステップと、第 1 の入力手段により入力された検索結果信号に基づいて、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったことを判定し、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップとを含むことを特徴とする。

【0078】

本発明の記録媒体のプログラムは、自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、他の検索装置に対する初期信号の出力を制御する第 1 の出力制御手段と、検索手段により検索データに対応する記憶部が検索されたか否かを表す検索結果信号の他の検索装置に対する出力を制御する第 2 の出力制御手段と、他の検索装置に接続され、他の検索装置からの検索結果信号または初期信号を入力する N 個の第 1 の入力手段と、基準信号を入力する第 2 の入力手段とを備え、N 個の他の検索装置と接続されて、検索システムを構成する検索装置のプログラムであって、初期信号と基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、優先順位信号に基づいて、基準信号に対応する優先順位より高い優先順位の初期信号を入力した第 1 の入力手段を検出する検出ステップと、検出ステップの処理で検出された第 1 の入力手段により入力された検索結果信号の内容に応じて、検索ステップの処理で検索された記憶部から、所定の記憶部を検出し、検索システム全体の検索結果として出力する出力ステップと、第 1 の入力手段により入力された検索結果信号に基づいて、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったことを判定し、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップとを含むことを特徴とする。

【0079】

本発明のプログラムは、自分自身が有する記憶部から、検索データに対応する記憶部を検索する検索手段と、他の検索装置に対する初期信号の出力を制御する

第1の出力制御手段と、検索手段により検索データに対応する記憶部が検索されたか否かを表す検索結果信号の他の検索装置に対する出力を制御する第2の出力制御手段と、他の検索装置に接続され、他の検索装置からの検索結果信号または初期信号を入力するN個の第1の入力手段と、基準信号を入力する第2の入力手段とを備え、N個の他の検索装置と接続されて、検索システムを構成する検索装置のプログラムであって、初期信号と基準信号が、所定の優先順位に応じて配置された優先順位信号を取得する取得ステップと、優先順位信号に基づいて、基準信号に対応する優先順位より高い優先順位の初期信号を入力した第1の入力手段を検出する検出ステップと、検出ステップの処理で検出された第1の入力手段により入力された検索結果信号の内容に応じて、検索ステップの処理で検索された記憶部から、所定の記憶部を検出し、検索システム全体の検索結果として出力する出力ステップと、第1の入力手段により入力された検索結果信号に基づいて、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったことを判定し、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったとき、所定の処理を実行する実行ステップとを含む処理をコンピュータに実行させることを特徴とする。

【0080】

本発明の検索装置および方法、並びにプログラムにおいては、検索データに対応する記憶部が検索され、他の検索装置に対する初期信号の出力が制御され、検索データに対応する記憶部が検索されたか否かを表す検索結果信号の他の検索装置に対する出力が制御され、他の検索装置に接続され、他の検索装置からの検索結果信号または初期信号が入力され、基準信号が入力され、初期信号と基準信号が、所定の優先順位に応じて配置された優先順位信号が取得され、優先順位信号に基づいて、基準信号に対応する優先順位より高い優先順位の初期信号を入力した第1の入力手段が検出され、検出された第1の入力手段により入力された検索結果信号の内容に応じて、検索された記憶部から、所定の記憶部が検出され、検索システム全体の検索結果として出力され、第1の入力手段により入力された検索結果信号に基づいて、他の検索装置のすべてにおいて検索データに対応する記憶部が検索されなかったことが判定され、他の検索装置のすべてにおいて検索デ

ータに対応する記憶部が検索されなかったとき、所定の処理が実行される。

【0081】

【発明の実施の形態】

図11は、本発明を適用した接続CAM101を利用する中継器31の構成例を示している。図11中の他の部分は、図7の中継器31の場合と同様であるので、その部分には、図7における場合と同じ符号を付し、その説明を省略する。

【0082】

接続CAM101を構成するCAM111-1乃至111-4の各ワードメモリ21は、図8に示したように、図7に示すCAM1-1乃至CAM1-4と同様の構成を有している。すなわちエンプティアドレス検索またはヒットアドレス検索におけるアドレスHHAまたはアドレスHEAの検出については、CAM1は、CAM1-1、CAM1-2、CAM1-3、そしてCAM1-4の順番の優先度（優先順位）を有している。

【0083】

図12は、接続CAM101がオートストア処理を行うための接続例（図11に示す信号線71の具体的な接続例）を示す。この接続のために、各CAM111には、1個の出力端子121と、4個の入力端子122A、122B、122C、122Dが設けられている。

【0084】

4個の入力端子122の中の、CAM111の優先順位に応じた1個（この例の場合、CAM111-1では入力端子122-1D、CAM111-2では入力端子122-2C、CAM111-3では入力端子122-3B、CAM111-4では入力端子122-4A）は、常に論理値0が入力されるように、プルダウンされている。また入力端子122の中の他の3個は、他のCAM111の出力端子121に接続されている。

【0085】

個々のCAM111について説明する。CAM111-1の出力端子121-1は、CAM111-2、111-3、111-4の入力端子122-2D、122-3D、122-4Dに接続され、CAM111-1でのヒットアドレス検

索の結果（論理値 1 または 0）を出力する。CAM111-1 の入力端子 122-1A, 122-1B, 122-1C は、CAM111-4, 111-3, 111-2 の出力端子 121-4, 121-3, 121-2 に接続され、そこでの検索結果を入力する。CAM111-1 の入力端子 121-1D は、プルダウンされている。

【0086】

CAM111-2 の出力端子 121-2 は、CAM111-1, 111-3, 111-4 の入力端子 122-1C, 122-3C, 122-4C に接続され、CAM111-2 での検索の結果を出力する。CAM111-2 の入力部端子 122-2A, 122-2B, 122-2D は、CAM111-4, 111-3, 111-1 の出力端子 121-4, 121-3, 121-1 に接続され、そこでの検索結果を入力する。CAM111-2 の入力端子 121-2C は、プルダウンされている。

【0087】

CAM111-3 の出力端子 121-3 は、CAM111-1, 111-2, 111-4 の入力端子 122-1B, 122-2B, 122-4B に接続され、CAM111-3 での検索の結果をそれらに出力する。CAM111-3 の入力端子 122-3A, 122-3C, 122-3D は、CAM111-4, 111-2, 111-1 の出力端子 121-4, 121-2, 121-1 に接続され、そこでの検索結果を入力する。CAM111-3 の入力端子 122-3B は、プルダウンされている。

【0088】

CAM111-4 の出力端子 121-4 は、CAM111-1, 111-2, 111-3 の入力端子 122-1A, 122-2A, 122-3A に接続され、CAM111-4 での検索の結果をそれらに出力する。CAM111-4 の入力部端子 122-4B, 122-4C, 122-4D は、CAM111-3, 111-2, 111-1 の出力端子 121-3, 121-2, 121-1 に接続され、そこでの検索結果を入力する。CAM111-4 の入力端子 121-4A は、プルダウンされている。

【0089】

ここで接続CAM101がオートストア処理（ヒットアドレス検索を行い、その検索結果に応じてアドレスHHAのワードメモリ21のタイムスタンプを更新し、またはアドレスHEAのワードメモリ21にソースアドレスSA等を格納する処理）を行う場合の各CAM111の動作を、図14のフローチャートを参照して説明する。

【0090】

ステップS11において、各CAM111は、オートストア処理を開始するのに先立ち、そのとき入力端子122A, 122B, 122C, 122Dからの初期信号および論理値0の信号より構成される入力信号[ABCD]より、自分自身より優先度の高いCAM111からの出力を入力する入力端子122を認知する。

【0091】

具体的には、各CAM111には、CPU41から、図13に示すクロックCSと、リセット信号PSが入力されるが、CAM111は、リセットが解除されて最初のクロックCSの立ち上がるタイミングで（図中、縦の点線で示されているタイミングで）、論理値1に相当する初期信号FSを、出力端子121から出力する。

【0092】

その結果このとき、例えば、CAM111-1には、入力信号[1110]が入力される。すなわち入力端子122-1Aには、論理値1の初期信号FS4（CAM111-4の出力端子121-4からの出力）が、入力端子122-1Bには、論理値1の初期信号FS3（CAM111-3の出力端子121-3からの出力）が、入力端子122-1Cには、論理値1の初期信号FS2（CAM111-2の出力端子121-2からの出力）が、そして入力端子122-1Dには、論理値0の信号FS1がそれぞれ入力される。

【0093】

同様に、CAM111-2、CAM111-3、およびCAM111-4のそれぞれには、入力信号[1101]、入力信号「1011」、および入力信号「

0 1 1 1] が入力される。

【0 0 9 4】

すなわちリセット時の入力信号 [A B C D] は、CAM 1 1 1 の優先順位に対応した位置に 0 が配置された、CAM 1 1 1 固有の信号となる。

【0 0 9 5】

このようにリセット時の入力信号 [A B C D] が入力されると、各 CAM 1 1 1 は、その入力信号 [A B C D] の “0” より下位のビットを提供する入力端子 1 2 2 を、自分自身より優先度が高い CAM 1 1 1 からの出力を入力するものと認知する。

【0 0 9 6】

具体的には、CAM 1 1 1 - 1 は、リセット時に、入力信号 [1 1 1 0] が入力され、“0” より下位のビットが存在しないので、この場合、自分自身が優先度の最も高い CAM 1 1 1 であることを認知する。

【0 0 9 7】

CAM 1 1 1 - 2 は、リセット時に、入力信号 [1 1 0 1] が入力されるので、“0” より下位のビットを提供する入力端子 1 2 2 - 2 D が、CAM 1 1 1 - 2 より優先度が高い CAM 1 1 1 (CAM 1 1 1 - 1) からの出力を入力するものであることを認知する。

【0 0 9 8】

CAM 1 1 1 - 3 は、リセット時に、入力信号 [1 0 1 1] が入力されるので、“0” より下位のビットを提供する入力端子 1 2 2 - 3 C, 1 2 2 - 3 D が、CAM 1 1 1 - 3 より優先度が高い CAM 1 1 1 (CAM 1 1 1 - 1, 1 1 1 - 2) からの出力を入力するものであることを認知する。

【0 0 9 9】

CAM 1 1 1 - 4 は、リセット時に、入力信号 [0 1 1 1] が入力されるので、値 0 より下位のビットを提供する入力端子 1 2 2 - 4 B, 1 2 2 - 4 C, 1 2 2 - 4 D が、自分自身より優先度が高い CAM 1 1 1 (CAM 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3) の出力を入力するものであることを認知する。

【0 1 0 0】

このように自分自身より優先度の高いCAM111からの出力を入力する入力端子122を認知すると、ステップS12において、図15にまとめて示すように、その認知結果に基づいて、各CAM111は、オートストア処理を行う。

【0101】

具体的には、CAM111-1は、自分自身の検索の結果、ヒットした場合、入力端子122-1A乃至122-1Cからの入力内容に関係なく（CAM111-2乃至111-4での検索結果に関係なく）、ヒットしたワードメモリ21のアドレスからアドレスHHAを検出し、そのアドレスHHAのワードメモリ21のタイムスタンプを更新する。

【0102】

CAM111-2は、入力端子122-2Dからの入力が論理値1であり（CAM111-1がミスヒットし）、自分自身がヒットしたとき、ヒットしたワードメモリ21のアドレスからアドレスHHAを検出し、そのアドレスHHAのワードメモリ21のタイムスタンプを更新する。

【0103】

CAM111-3は、入力端子122-3C，122-3Dからの入力が論理値1であり（CAM111-2，111-1がミスヒットし）、自分自身がヒットしたとき、ヒットしたワードメモリ21のアドレスからアドレスHHAを検出し、そのアドレスHHAのワードメモリ21のタイムスタンプを更新する。

【0104】

CAM111-4は、入力端子122-4B，122-4C，122-4Dからの入力が論理値1であり（CAM111-3，111-2，111-1がミスヒットし）、自分自身がヒットしたとき、ヒットしたワードメモリ21のアドレスからアドレスHHAを検出し、そのアドレスHHAのワードメモリ21のタイムスタンプを更新する。

【0105】

従って、例えば、CAM111-3，111-4のみがヒットした場合、CAM111-4は、入力端子122-4Bからの入力が論理値0であるので、上位のCAM111-3がヒットしていると認識し、自分自身がヒットしても、ヒッ

トしたワードメモリ 21 のアドレスからアドレス HHA を検出し、そのアドレス HHA のワードメモリ 21 のタイムスタンプを更新することはない。

【0106】

一方、CAM111-3 は、入力端子 122-3C, 122-3D からの入力 が論理値 1 であるので、上位の CAM111-2, 111-1 がミスヒットして いると認識し、自分がヒットしたワードメモリ 21 のアドレスからアドレス HH A を検出し、そのアドレス HHA のワードメモリ 21 のタイムスタンプを更新す る。

【0107】

また、接続 CAM101 全体としてミスヒットしたとき、アドレス HEA を検 出した CAM111 は、そのアドレス HEA にソースアドレス SA 等を格納する 。なお、接続 CAM101 全体としてミスヒットしたか否かは、入力端子 122 A, 122B, 122C, 122D からの入力の論理和を採ることで認知するこ とができる。

【0108】

図 16 は、CAM111 の構成例を示している。この CAM111 には、図 1 0 に示す制御部 17 に代えて、制御部 131 が設けられ、出力端子 81、入力端 子 82A 乃至 82C、および入力端子 83A 乃至 83C に代えて、出力端子 12 1 および入力端子 122A 乃至 122D が設けられている。他の部分は、図 1 0 における場合と同じなので、同一の符号を付し、その説明は省略する。

【0109】

図 17 は、図 16 の制御部 131 の構成例を示している。入力端子 122A 乃 至 122D から入力された入力信号 [ABCD] は、デバイス ID 変換回路 20 1 に入力される。デバイス ID 変換回路 201 は、入力された入力信号 [ABC D] を、図 18 に示すような変換テーブル T を参照して、入力信号 [ABCD] に対応するデバイス ID を検出し、デバイス ID レジスタ 202 に出力する。

【0110】

書き込み制御回路 203 には、制御部 131 に供給されたクロック CS および リセット信号 PS が入力される。書き込み制御回路 203 は、デバイス ID レジ

スタ 202 を制御して、図 13 を参照して説明したように、リセット信号 P S が入力され、それが解除された後、最初にクロック C S が立ち上がるタイミングでデバイス I D 変換回路 202 から入力されたデバイス I D を記憶させる。デバイス I D レジスタ 202 は、書き込み制御回路 202 からの指示に従って、デバイス I D 変換回路 201 からのデバイス I D を記憶し、適宜、プライオリティ管理回路 204 に出力する。

【0111】

プライオリティ管理回路 204 には、入力端子 122 A 乃至 122 D からの入力信号 [A B C D]、デバイス I D レジスタ 202 からのデバイス I D、CAM ブロック 13、並びに C P U 41 からのクロック C S とリセット信号 P S がそれぞれ入力される。

【0112】

ヒットアドレス検索開始時に C P U 41 から、リセット信号 P S が入力されると、プライオリティ管理回路 204 は、図 13 に示したタイミングで、初期信号 F S（論理値 1）を出力端子 121 から出力する。なお、このとき書き込み制御回路 203 は、デバイス I D レジスタ 202 を制御して、そのときデバイス I D 変換回路 201 から入力されるデバイス I D を記憶させる。

【0113】

その後プライオリティ管理回路 204 は、デバイス I D レジスタ 202 からデバイス I D を取得するとともに、そのデバイス I D（入力信号 [A B C D]）から、自分自身より優先度が高い C A M 111 からの出力を入力する入力端子 122 を認知し、上述したように、それからの入力内容に応じたオートストア処理を行う。

【0114】

なお、本明細書において、記録媒体により提供されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0115】

【発明の効果】

本発明によれば、簡単な接続で、複数のCAMを適切に利用することができる。

【図面の簡単な説明】**【図 1】**

CAMの構成例を示すブロック図である。

【図 2】

図 1 のCAMのワードメモリの構成例を示す図である。

【図 3】

中継器の構成例を示すブロック図である。

【図 4】

図 3 のCAMのワードメモリの構成例を示す図である。

【図 5】

タイムスタンプを説明する図である。

【図 6】

図 3 のCAMの動作を説明するフローチャートである。

【図 7】

中継器の他の構成例を示すブロック図である。

【図 8】

図 7 のCAMのワードメモリの構成例を示す図である。

【図 9】

図 7 のCAMの接続例を示す図である。

【図 1 0】

図 9 のCAMの構成例を示すブロック図である。

【図 1 1】

本発明を適用したCAMを利用する中継器の構成例を示すブロック図である。

【図 1 2】

図 1 1 のCAMの接続例を示す図である。

【図 1 3】

入力信号を説明する図である。

【図 1 4】

図 1 1 の C A M の動作を説明するフローチャートである。

【図 1 5】

図 1 1 の C A M のオートストア処理を説明する図である。

【図 1 6】

図 1 2 の C A M の構成例を示すブロック図である。

【図 1 7】

図 1 6 の制御部の構成例を示すブロック図である。

【図 1 8】

デバイス I D を説明する図である。

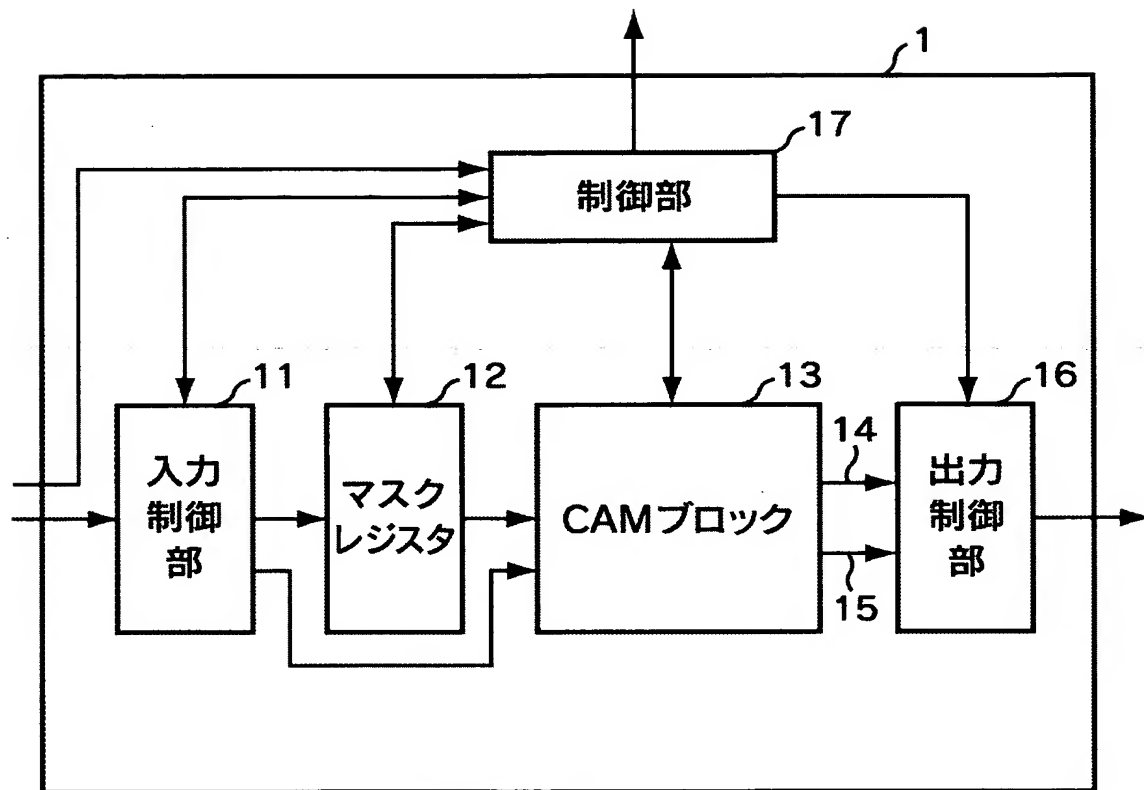
【符号の説明】

1 0 1 接続 C A M, 1 1 1 C A M, 1 2 1 出力端子, 1 2 2 入力端子, 1 3 1 制御部, 2 0 1 デバイス I D 変換回路, 2 0 2 デバイス I D レジスタ, 2 0 3 書き込み制御回路, 2 0 4 プライオリティ管理回路

【書類名】 図面

【図 1】

図 1



【図 2】

図 2

m

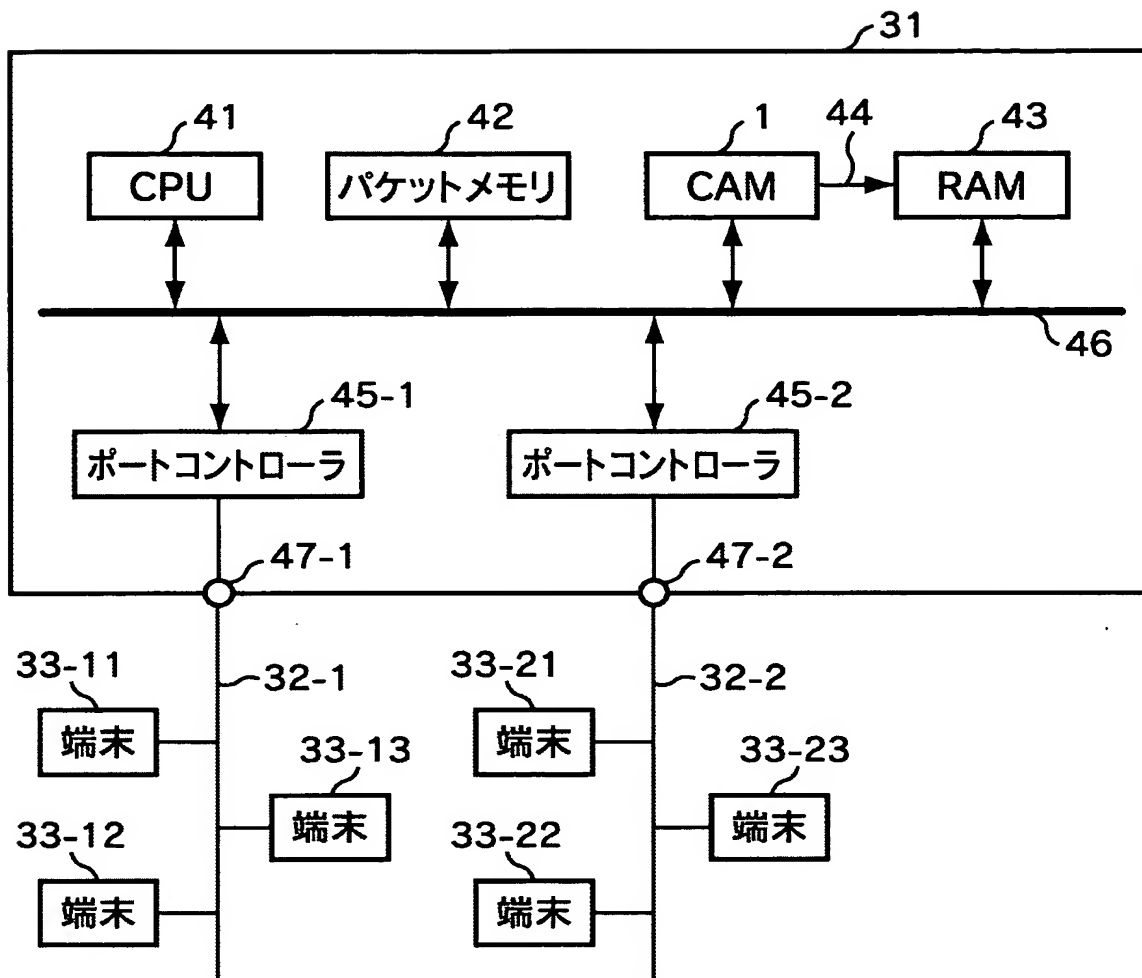
| アドレス | 格納データ | エンプティ ビット |
|------|-------|--------------|
| ××× | ××× | 1 |
| ××× | ××× | 0 |
| ⋮ | ⋮ | |

21-1

21-2

【図 3】

図 3



【図 4】

図 4

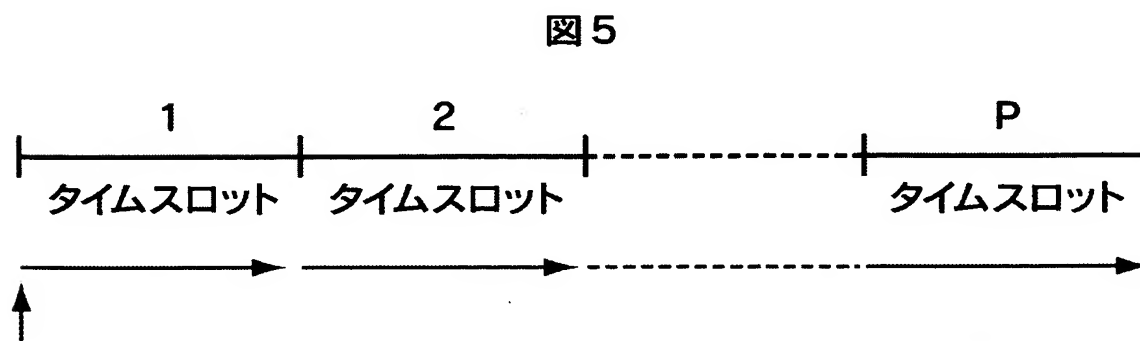
m

| アドレス | 格納データ | | エンブティビット |
|------|--------------------|---------|----------|
| ××× | 端末33-11のネットワークアドレス | タイムスタンプ | 1 |
| ××× | 端末33-12のネットワークアドレス | タイムスタンプ | 0 |
| ⋮ | ⋮ | | |

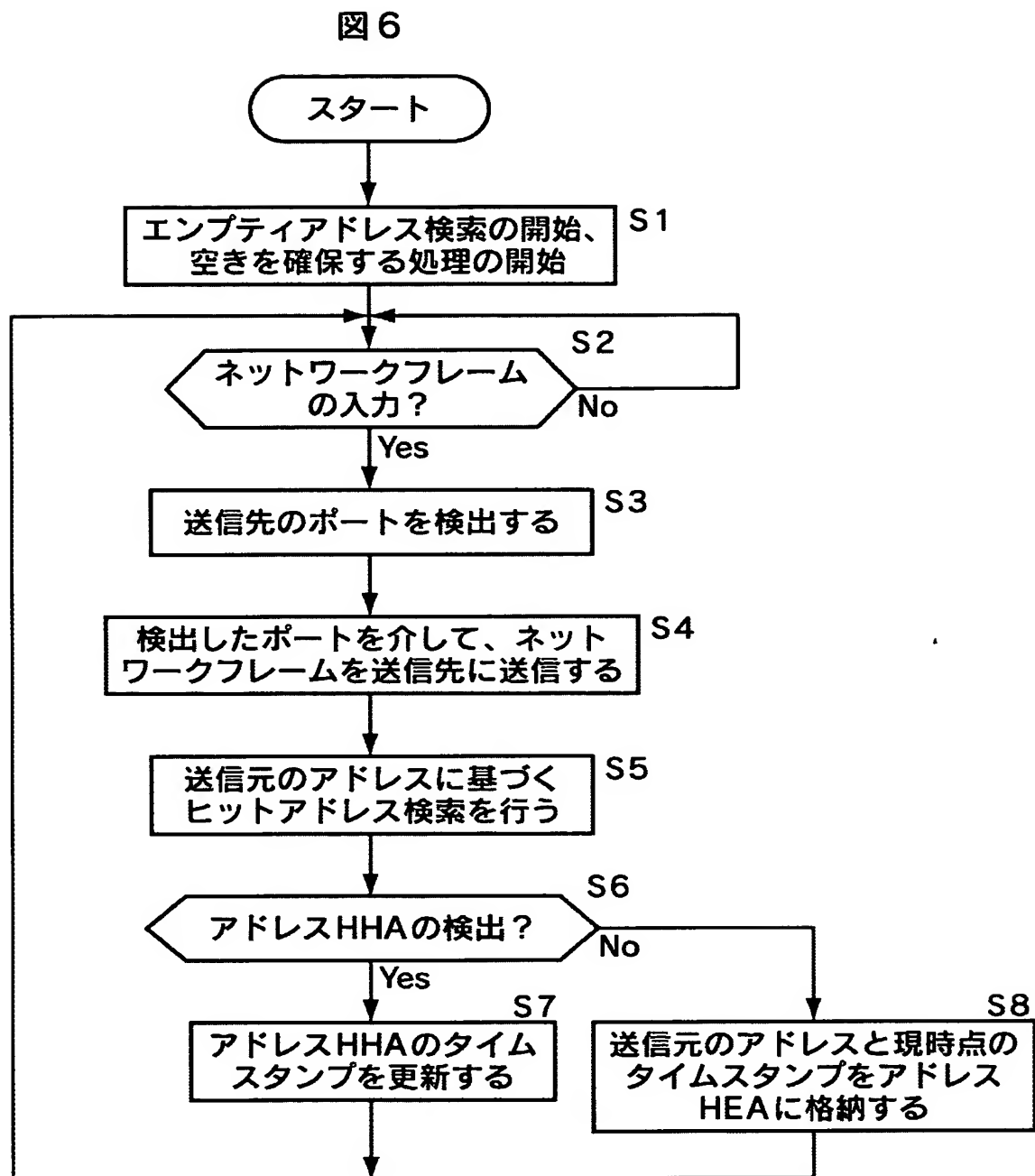
〜21-1

〜21-2

【図 5】

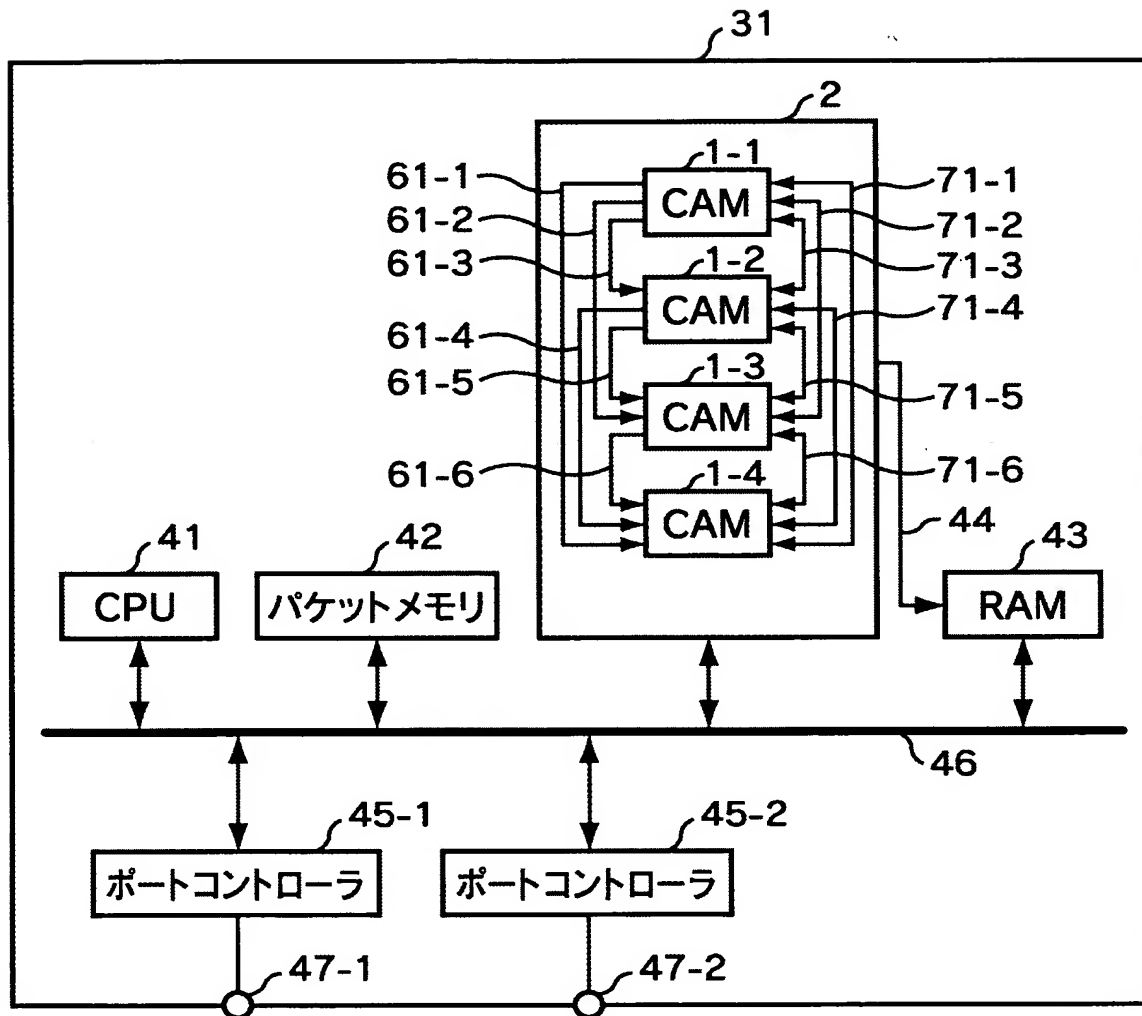


【図 6】



【図 7】

図 7



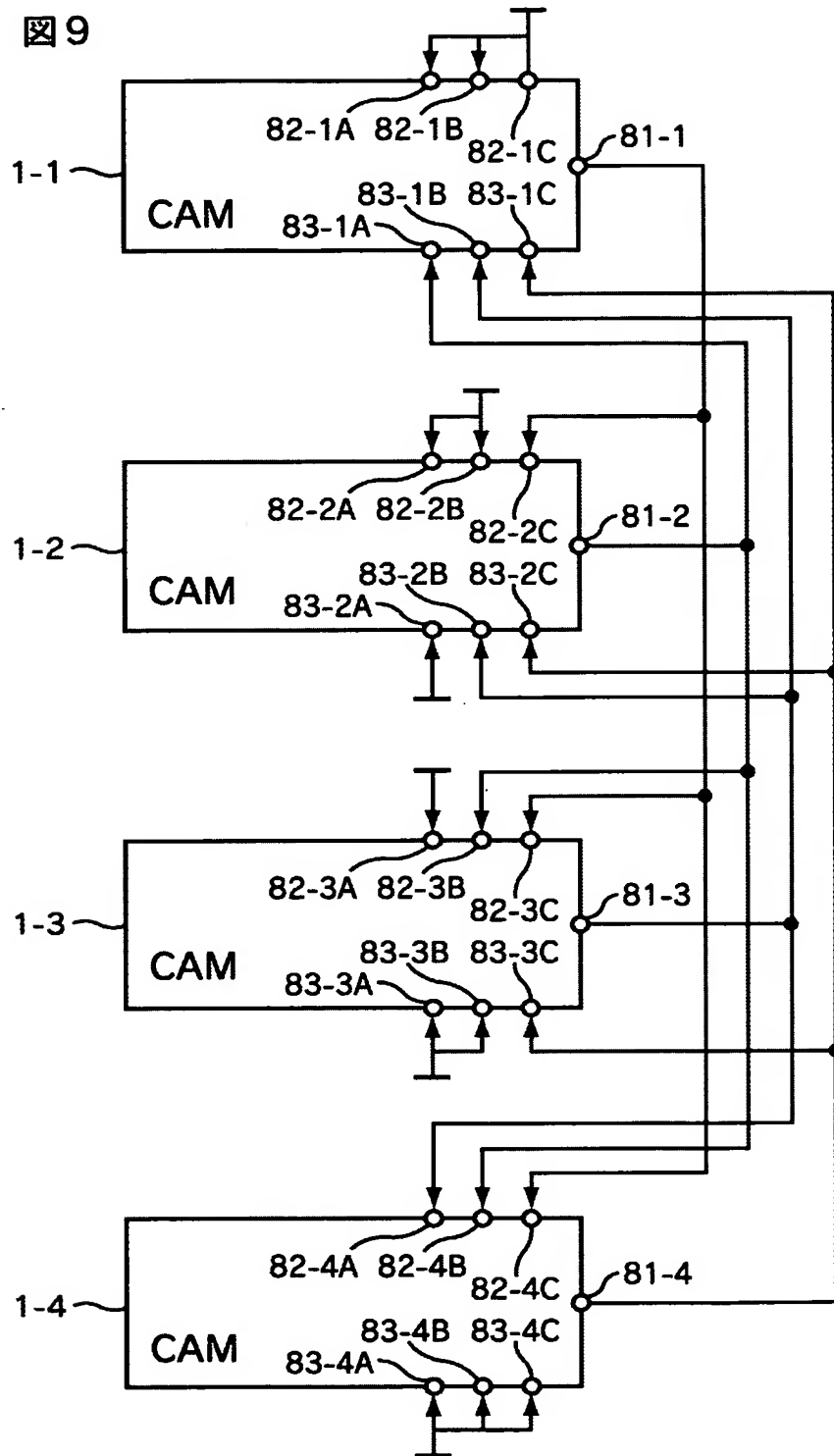
【図 8】

図 8

小
↓
大

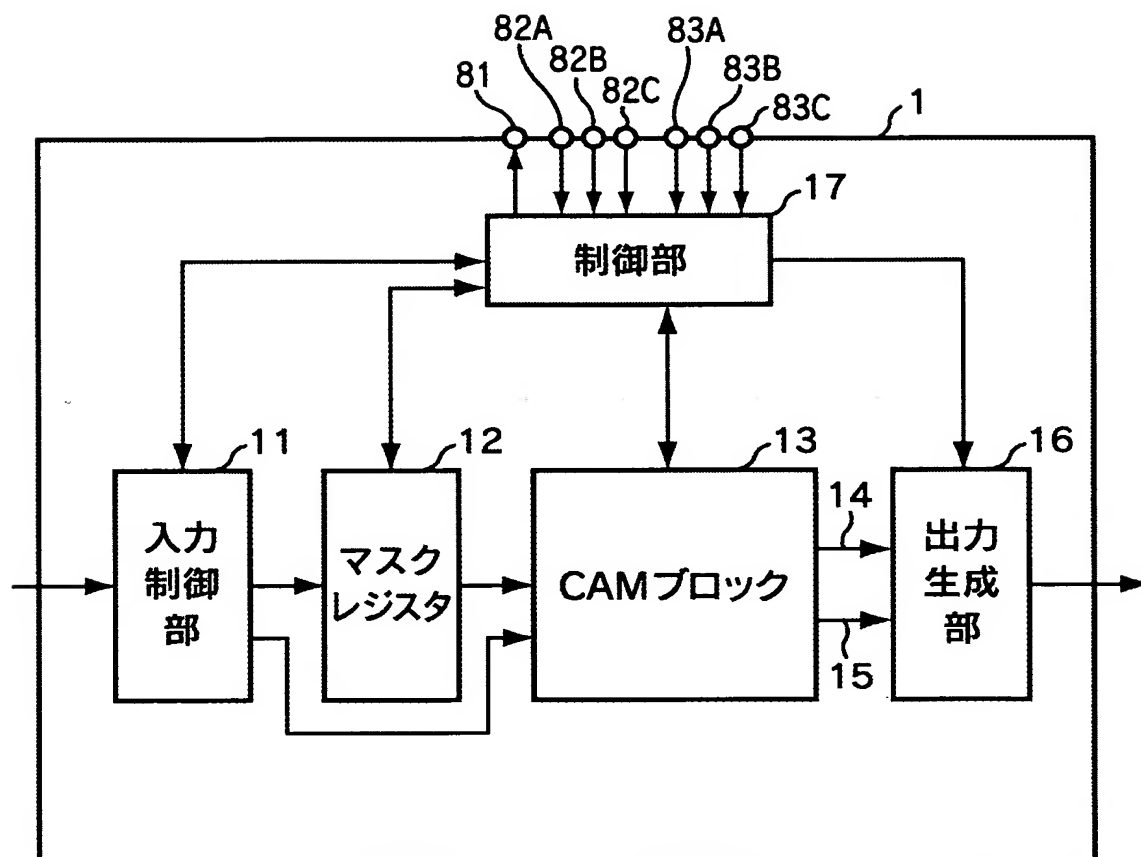
| アドレス | 格納データ | エンプティ アドレス | |
|------|-------|---------------|-----|
| ××× | ××× | 1 | 1-1 |
| ⋮ | ⋮ | | |
| アドレス | 格納データ | エンプティ アドレス | |
| ××× | ××× | 0 | 1-2 |
| ⋮ | ⋮ | | |
| アドレス | 格納データ | エンプティ アドレス | |
| ××× | ××× | 1 | 1-3 |
| ⋮ | ⋮ | | |
| アドレス | 格納データ | エンプティ アドレス | |
| ××× | ××× | 0 | 1-4 |
| ⋮ | ⋮ | | |
| アドレス | 格納データ | エンプティ アドレス | |

【図 9】



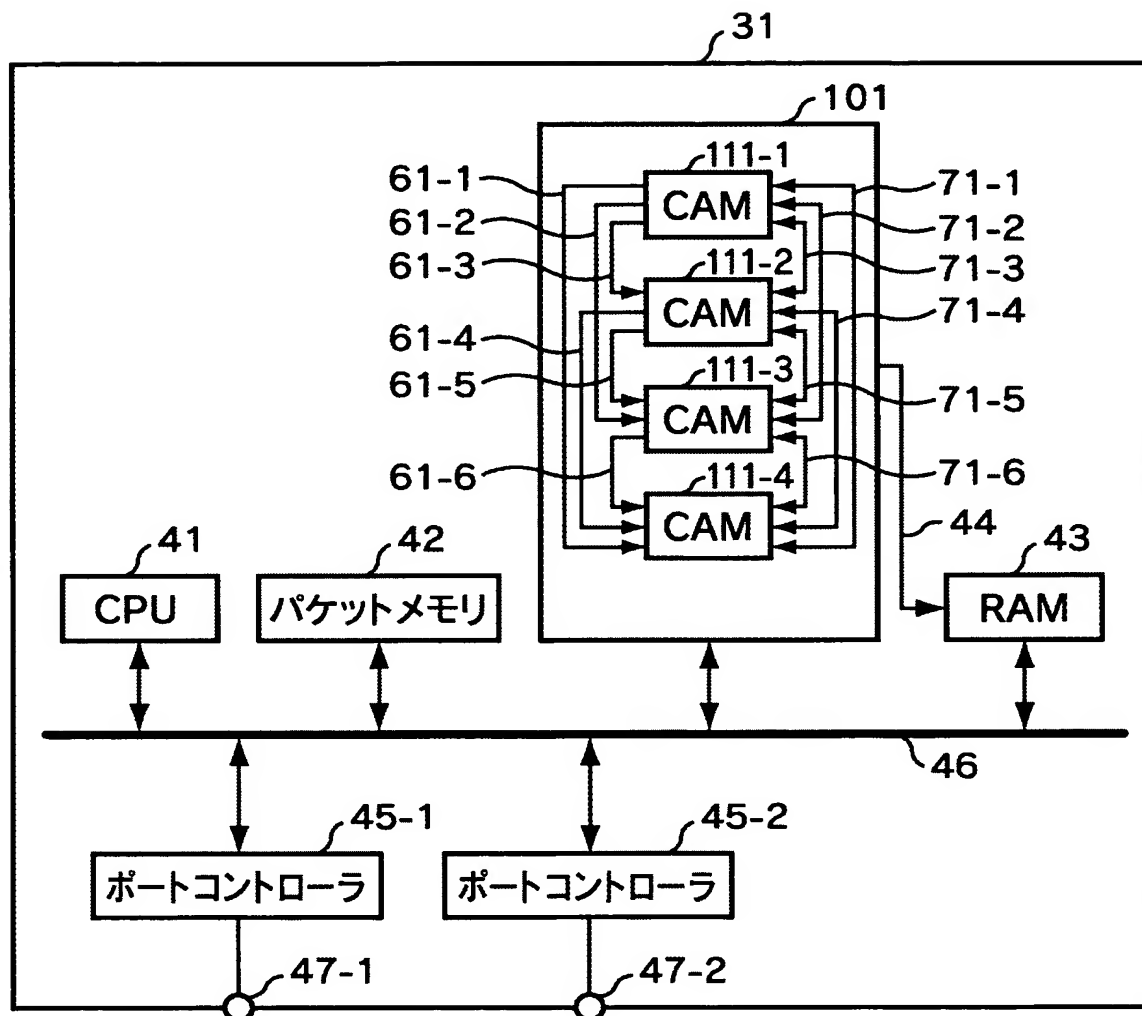
【図 10】

図 10



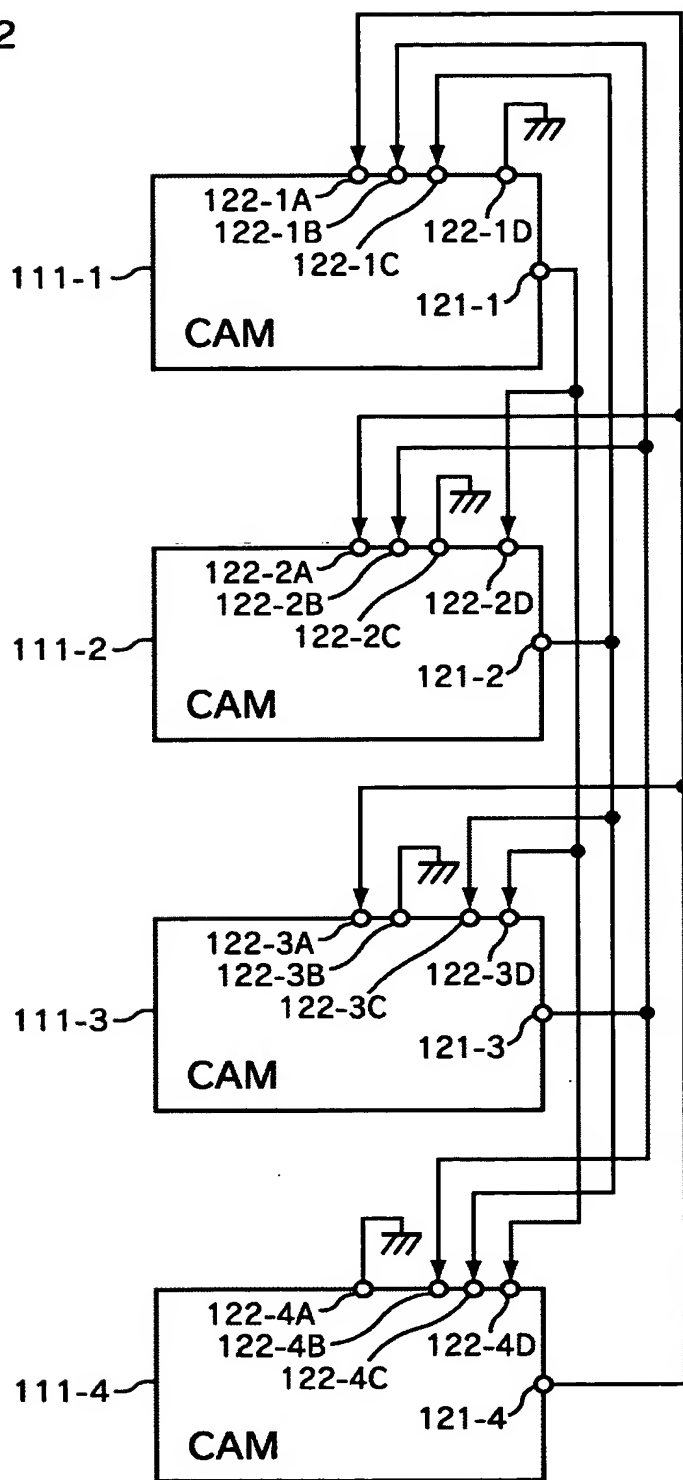
【図 11】

図 11



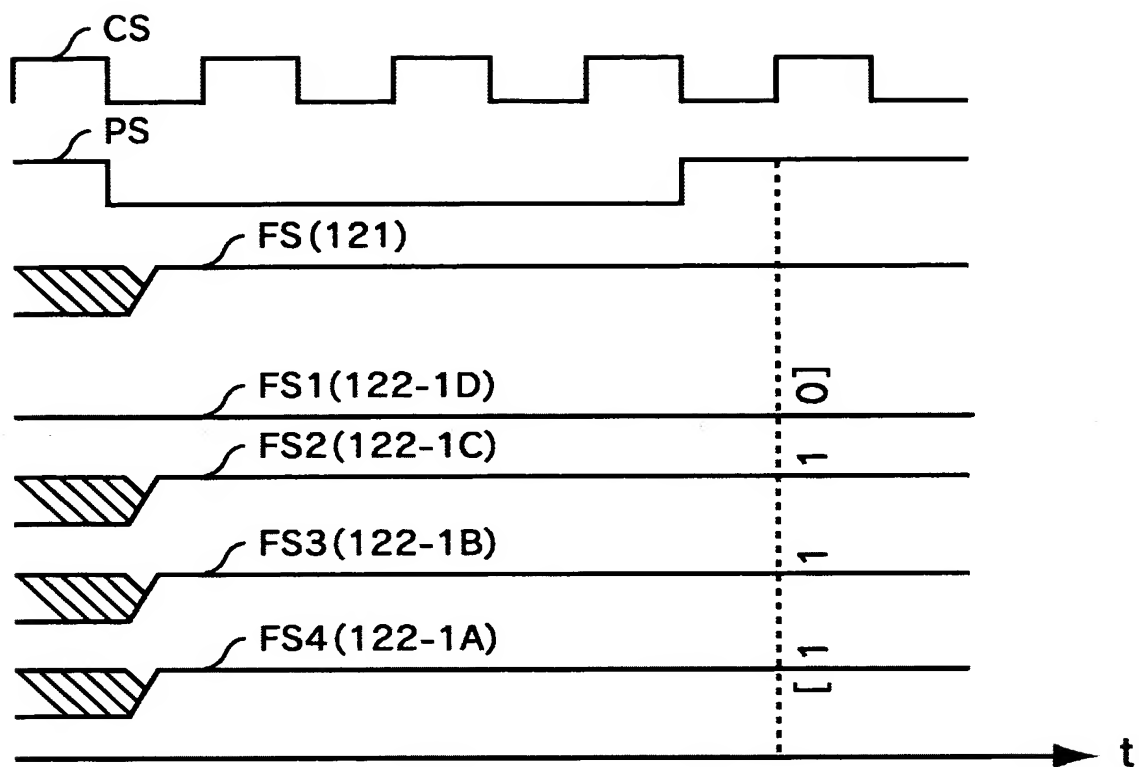
【図 12】

図 12

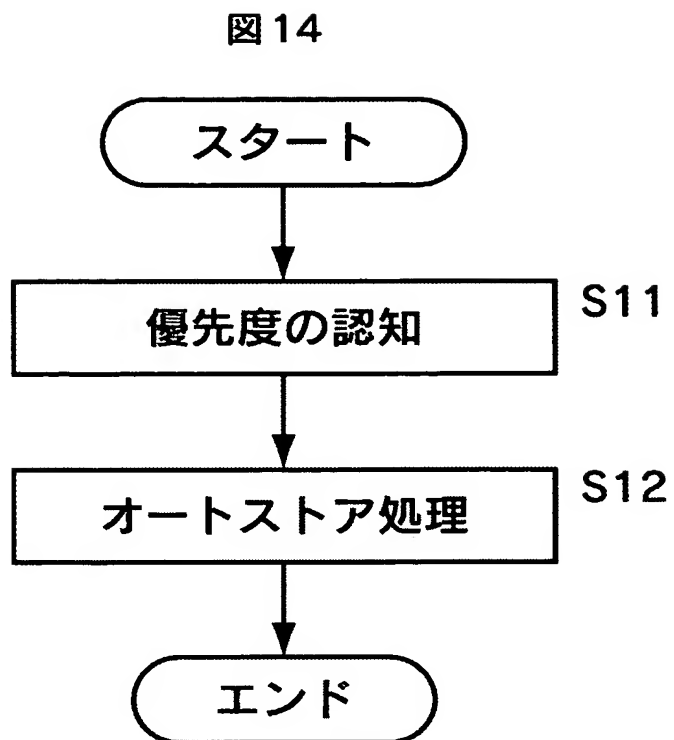


【図 13】

図 13



【図 14】



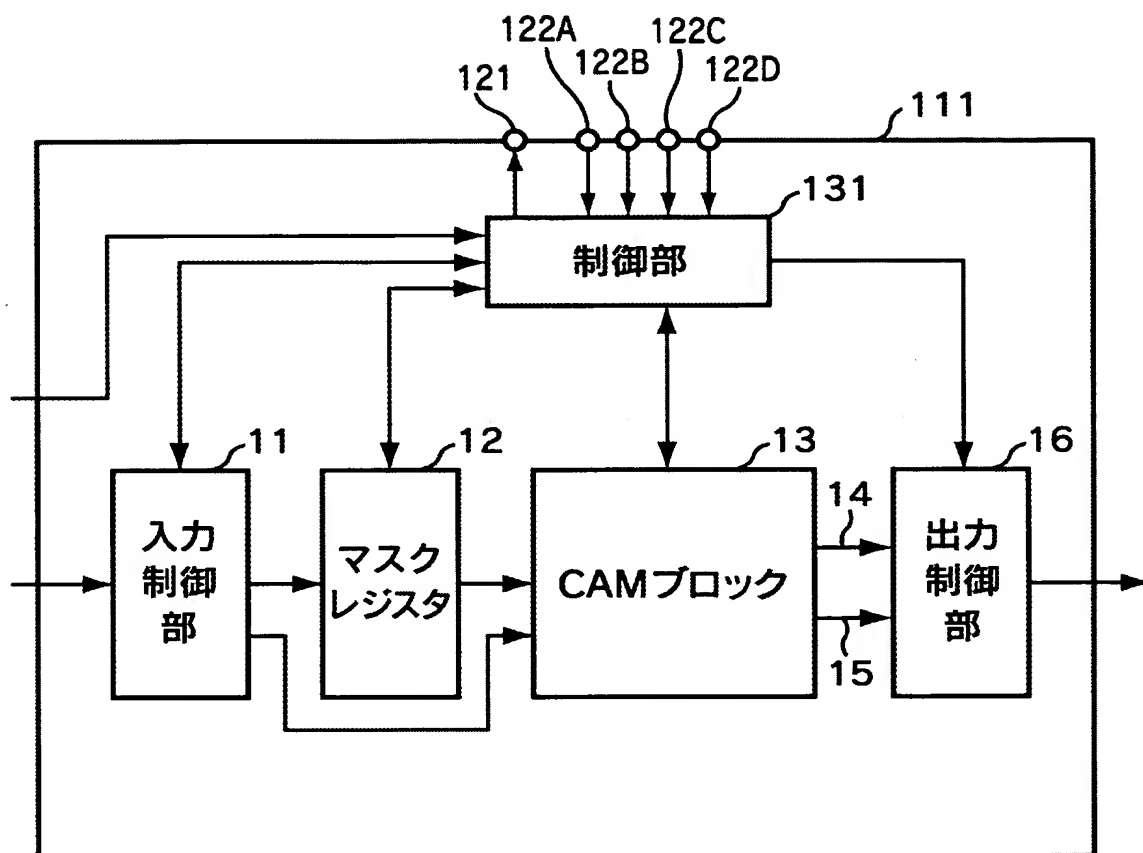
【図 15】

図 15

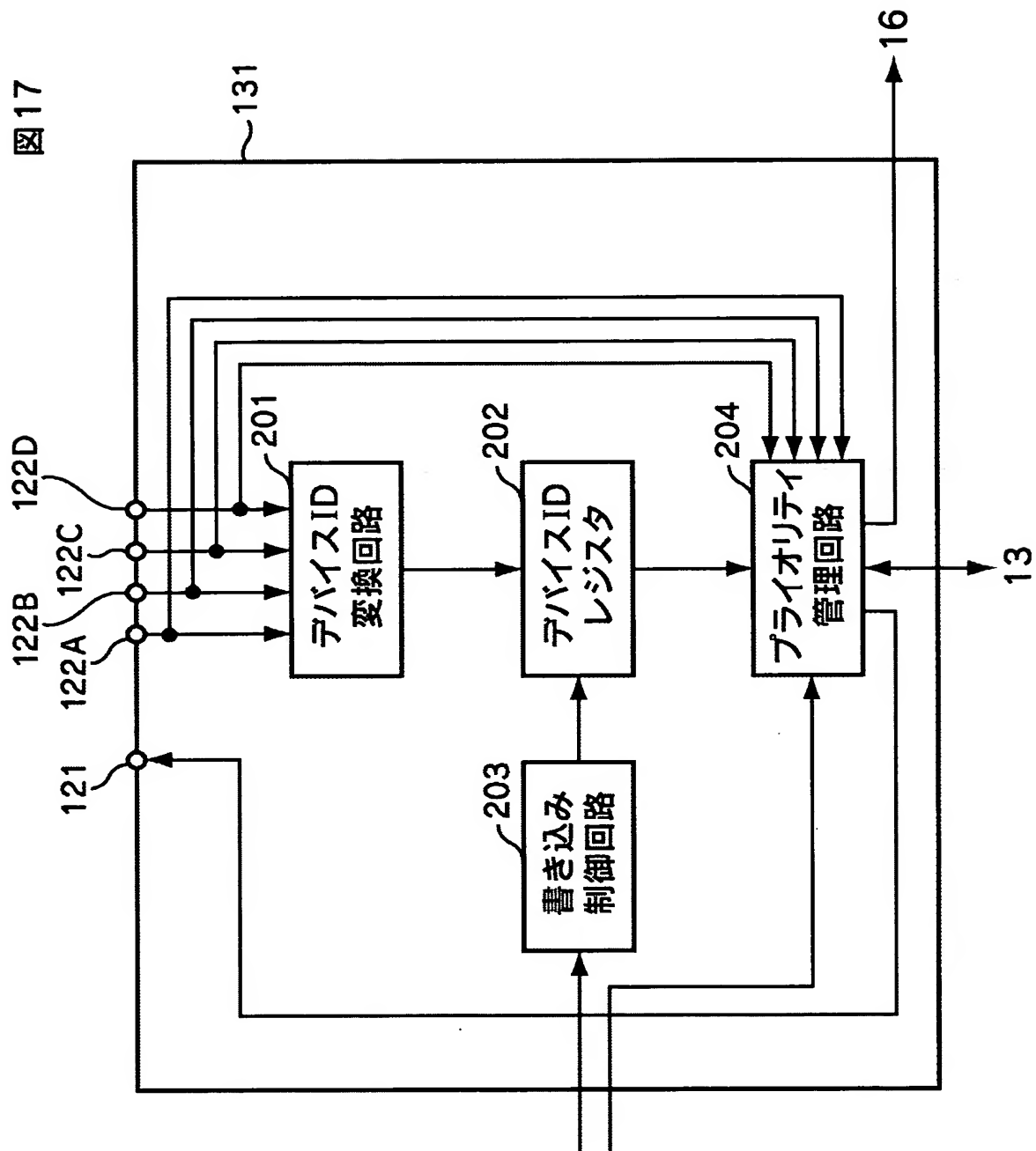
| 入力信号[ABCD] | 処 理 |
|------------|---|
| [1110] | インターナルヒット |
| [1101] | 入力信号[D]!=0 && インターナルヒット |
| [1011] | 入力信号[C]!=0 && 入力信号[D]!=0 && インターナルヒット |
| [0111] | 入力信号[B]!=0 && 入力信号[C]!=0 && 入力信号[D]!=0 && インターナルヒット |

【図 16】

図 16



【図 17】



【図 18】

図 18

| 入力信号 [ABCD] | デバイスID |
|-------------|--------|
| [1110] | 0 |
| [1101] | 1 |
| [1011] | 2 |
| [0111] | 3 |

【書類名】 要約書

【要約】

【課題】 複数のCAMによるオートストア処理を容易に行うことができるようにする。

【解決手段】 各CAM111には、1個の出力端子121と、4個の入力端子122A乃至122Dが設けられている。4個の入力端子122の中の、CAM111の優先度に応じた1個は、常に論理値0が入力されるように、プルダウンされている。また入力端子122の中の他の3個は、他のCAM111の出力端子に接続されている。各CAM111は、オートストア処理を開始するのに先立ち、そのとき入力端子122A乃至122Dからの初期信号および論理値0より構成される入力信号[ABCD]より、自分自身より優先度の高いCAM111からの出力を入力する入力端子122を認知する。各CAM111は、その認知結果に基づいて、オートストア処理を行う。

【選択図】 図12

特願 2 0 0 3 - 1 1 6 5 9 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

| | |
|----------|--------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 3 0 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都品川区北品川 6 丁目 7 番 3 5 号 |
| 氏 名 | ソニー株式会社 |